

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008011
 (43)Date of publication of application : 10.01.2003

(51)Int.CL

H01L 29/78
H01L 21/316

(21)Application number : 2001-395734
 (22)Date of filing : 27.12.2001

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : HARADA YOSHIHISA

(30)Priority

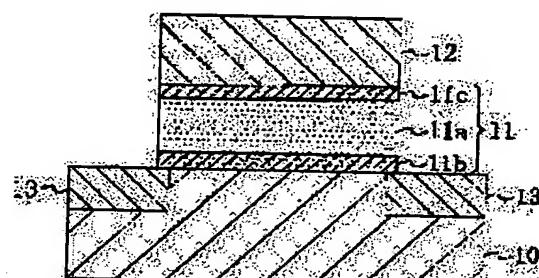
Priority number : 2001 299478 Priority date : 21.06.2001 Priority country : US

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To actualize a semiconductor device which has a high specific dielectric strength and uses a thermally stable gate insulating film.

SOLUTION: On a silicon substrate 10, a gate electrode 12 is formed across a gate insulating film 11. The gate insulating film 11 has a high-dielectric-strength film 11a formed of a silicon-containing hafnium oxide film and a lower barrier film 11b formed of a silicon nitride oxide film which is formed below the high-dielectric-constant film 11a and contains hafnium.



LEGAL STATUS

[Date of request for examination] 27.12.2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-8011

(P 2003-8011A)

(43) 公開日 平成15年1月10日(2003.1.10)

(51) Int.CI.
H01L 29/78
21/316

識別記号

F I
H01L 21/316
29/78

テーマコード (参考)
M 5F058
P 5F140
G

審査請求 有 請求項の数24 OL (全19頁)

(21) 出願番号 特願2001-395734 (P 2001-395734)
(22) 出願日 平成13年12月27日 (2001.12.27)
(31) 優先権主張番号 60/299,478
(32) 優先日 平成13年6月21日 (2001.6.21)
(33) 優先権主張国 米国 (U.S.)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 原田 佳尚
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 100077931
弁理士 前田 弘 (外7名)

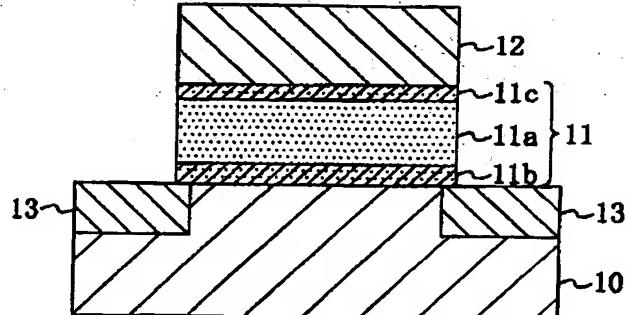
最終頁に続く

(54) 【発明の名称】半導体装置及びその製造方法

(57) 【要約】

【課題】 高い比誘電率が確保されており且つ熱的に安定なゲート絶縁膜を用いた半導体装置を実現できるようとする。

【解決手段】 シリコン基板10上にゲート絶縁膜11を介してゲート電極12が形成されている。ゲート絶縁膜11は、シリコン含有ハフニウムオキサイド膜よりも高誘電率膜11aと、高誘電率膜11aの下側に形成されており、ハフニウムを含むシリコン窒化酸化膜よりも下部バリア膜11bとを有する。



【特許請求の範囲】

【請求項1】 基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備え、前記ゲート絶縁膜は、一の金属、酸素及びシリコンを含む高誘電率膜と、前記高誘電率膜の下側に形成されており、前記一の金属、酸素、シリコン及び窒素を含む下部バリア膜とを有することを特徴とする半導体装置。

【請求項2】 前記ゲート絶縁膜は、前記高誘電率膜の上側に形成された上部バリア膜を有し、

前記上部バリア膜は、前記一の金属、酸素及び窒素を含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記一の金属、酸素及びシリコンをそれぞれM、O及びS1として前記高誘電率膜の組成をM_xS_{1-x}O_y (但し $x > 0$ 且つ $y > 0$)と表記したときに、 $0.23 \leq y / (x+y) \leq 0.90$ であることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記一の金属、酸素及びシリコンをそれぞれM、O及びS1として前記高誘電率膜の組成をM_xS_{1-x}O_y (但し $x > 0$ 且つ $y > 0$)と表記したときに、 $0.23 \leq y / (x+y) \leq 0.30$ であることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記一の金属はハフニウム又はジルコニウムであり、

前記一の金属、酸素、シリコン及び窒素をそれぞれM、O、S1及びNとして前記下部バリア膜の組成をM_xS_{1-x}O_yN_z (但し $x > 0$ 且つ $y > 0$)と表記したときに、 $x / (x+y) \geq 0.10$ であることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記ゲート電極はメタルゲート電極であることを特徴とする請求項1に記載の半導体装置。

【請求項7】 基板上に、一の金属、酸素及び所定の物質を含む高誘電率膜を形成する工程と、

前記高誘電率膜に対して熱処理を行なうことにより、前記基板側からシリコンを前記高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、

前記シリコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項8】 前記所定の物質は水素であることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記高誘電率膜を形成する工程よりも前に、前記基板上に、シリコン、窒素及び前記所定の物質を含む絶縁膜を形成する工程を備え、

前記高誘電率膜に対して熱処理を行なう工程は、前記絶縁膜に含まれるシリコンを前記高誘電率膜中に拡散させる工程と、前記高誘電率膜に含まれる前記一の金属を前記絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記高誘電率膜を形成する工程は、前

記一の金属と前記所定の物質とを含むソースプリカーサを用いたCVD法により前記高誘電率膜を形成する工程を含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項11】 前記高誘電率膜を形成する工程は、前記一の金属を含むソースプリカーサと、前記所定の物質を含むソースガスとを用いたCVD法により前記高誘電率膜を形成する工程を含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項12】 前記高誘電率膜を形成する工程は、前記所定の物質を含む雰囲気中で前記一の金属を含むターゲットを用いたPVD法により前記高誘電率膜を形成する工程を含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項13】 基板上に、一の金属、酸素及び水素を含む高誘電率膜を形成する工程と、

前記高誘電率膜に対して熱処理を行なうことにより、前記基板側からシリコンを前記高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、

20 前記シリコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項14】 前記高誘電率膜を形成する工程よりも前に、前記基板上に、シリコン、窒素及び水素を含む絶縁膜を形成する工程を備え、

前記高誘電率膜に対して熱処理を行なう工程は、前記絶縁膜に含まれるシリコンを前記高誘電率膜中に拡散させる工程と、前記高誘電率膜に含まれる前記一の金属を前記絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことを特徴とする請求項13に記載の半導体装置の製造方法。

30 【請求項15】 前記高誘電率膜を形成する工程は、前記一の金属と水素とを含むソースプリカーサを用いたCVD法により前記高誘電率膜を形成する工程を含むことを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項16】 前記高誘電率膜を形成する工程は、前記一の金属を含むソースプリカーサと、水素を含むソースガスとを用いたCVD法により前記高誘電率膜を形成する工程を含むことを特徴とする請求項13に記載の半導体装置の製造方法。

40 【請求項17】 前記高誘電率膜を形成する工程は、水素を含む雰囲気中で前記一の金属を含むターゲットを用いたPVD法により前記高誘電率膜を形成する工程を含むことを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項18】 前記一の金属はハフニウム又はジルコニウムであることを特徴とする請求項7又は13に記載の半導体装置の製造方法。

【請求項19】 前記高誘電率膜に対して熱処理を行な

う工程と前記導電膜を形成する工程との間に、前記シリコン含有高誘電率膜の表面を空化することにより上部バリア膜を形成する工程を備えていることを特徴とする請求項7又は13に記載の半導体装置の製造方法。

【請求項20】前記高誘電率膜を形成する工程と前記高誘電率膜に対して熱処理を行なう工程との間に、前記高誘電率膜の表面を空化することにより上部バリア膜を形成する工程を備えていることを特徴とする請求項7又は13に記載の半導体装置の製造方法。

【請求項21】前記高誘電率膜に対して熱処理を行なう工程における熱処理温度は600℃以上且つ850℃以下であることを特徴とする請求項7又は13に記載の半導体装置の製造方法。

【請求項22】前記一の金属、酸素及びシリコンをそれぞれM、O及びSiとして前記シリコン含有高誘電率膜の組成をM_xSi_yO_z（但しx>0且つy>0）と表記すると共に製造プロセスでの最高温度をT[℃]と表記したときに、

T≤6.69·y/(x+y)+749.4であることを特徴とする請求項7又は13に記載の半導体装置の製造方法。

【請求項23】前記ゲート電極はシリコンを含む材料よりなり、

y/(x+y)≤0.30であることを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】前記ゲート電極はメタルゲート電極であり、

前記導電膜を形成する工程よりも後に、前記基板に対して熱処理を行なう工程を備えていることを特徴とする請求項7又は13に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特にゲート絶縁膜に用いられる高誘電率膜に関するものである。

【0002】

【従来の技術】近年の半導体装置における高集積化及び高速化に対する技術進展に伴い、MOSFETの微細化が進められている。微細化に伴いゲート絶縁膜の薄膜化を進めると、トンネル電流によるゲートリーク電流の増大等の問題が顕在化してくる。この問題を抑制するために、ハフニウムオキサイド(HfO₂)やジルコニウムオキサイド(ZrO₂)等の高誘電率材料を用いたゲート絶縁膜（以下、high-kゲート絶縁膜と称する）により、薄いSiO₂換算膜厚（以下、EOTと称する）を実現しながら物理的膜厚を厚くするという手法が研究されている。

【0003】例えば特開2000-58832号公報に記載されている従来のhigh-kゲート絶縁膜の形成方法は次の通りである。まず、シリコン基板上にSiO₂層等の酸化物層

を形成した後、酸化物層の上にスパッタ法又はプラズマCVD法等により、ジルコニウム又はハフニウムよりなる金属膜を蒸着する。その後、該金属膜に対して、例えばNO等のガスを用いた酸窒化処理を行なって、オキシ空化ジルコニウム(ZrO_xN_y)又はオキシ空化ハフニウム(HfO_xN_y)よりなるhigh-kゲート絶縁膜を形成する。

【0004】

【発明が解決しようとする課題】しかしながら、従来のhigh-kゲート絶縁膜においては、製造プロセス中の高温処理による熱履歴が加わった場合に、ゲート絶縁膜を構成する高誘電率材料が結晶化してしまい、その結果として生じた結晶粒界又は欠陥単位を介した電気伝導によってリーク電流増加が発生するという問題が生じる。すなわち、従来のhigh-kゲート絶縁膜の熱的安定性は不十分であった。

【0005】前記に鑑み、本発明は、高い比誘電率が確保されており且つ熱的に安定なゲート絶縁膜を用いた半導体装置を実現できるようにすることを目的とする。

【0006】

【課題を解決するための手段】前記の目的を達成するために、本発明に係る半導体装置は、基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを備え、ゲート絶縁膜は、一の金属、酸素及びシリコンを含む高誘電率膜と、高誘電率膜の下側に形成されており、一の金属、酸素、シリコン及び窒素を含む下部バリア膜とを有する。

【0007】本発明の半導体装置によると、ゲート絶縁膜を構成する高誘電率膜がシリコンを含むため、製造プロセス中の高温処理（例えば900℃程度の不純物活性化熱処理）によって高誘電率膜が結晶化することを防止できる。このため、完成後の半導体装置において、高誘電率膜の大部分がアモルファス状態に保たれるので、high-kゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-kゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に、半導体装置の製造におけるプロセスマージンを大きくすることができる。

【0008】また、本発明の半導体装置によると、ゲート絶縁膜における高誘電率膜の下側に下部バリア膜が存在するため、高誘電率膜と基板とが反応することを防止できる。また、下部バリア膜に、高誘電率膜と同じ金属が含まれているため、下部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

【0009】本発明の半導体装置において、ゲート絶縁膜は、高誘電率膜の上側に形成された上部バリア膜を有し、該上部バリア膜は、一の金属、酸素及び窒素を含むことが好ましい。

【0010】このようにすると、ゲート電極材料と、高

誘電率膜材料とが互いに拡散することを防止できる。また、上部バリア膜に、高誘電率膜と同じ金属が含まれているため、上部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

【0011】本発明の半導体装置において、一の金属、酸素及びシリコンをそれぞれM、O及びSIとして高誘電率膜の組成をM_xSi_yO_z（但し $x > 0$ 且 $y > 0$ ）と表記したときに、 $0.23 \leq y/(x+y) \leq 0.90$ であることが好ましい。

【0012】このようにすると、high-kゲート絶縁膜の比誘電率を十分保ちながら、900℃程度の熱処理に対してもhigh-kゲート絶縁膜の熱的安定性を確実に保つことができる。

【0013】本発明の半導体装置において、一の金属、酸素及びシリコンをそれぞれM、O及びSIとして高誘電率膜の組成をM_xSi_yO_z（但し $x > 0$ 且 $y > 0$ ）と表記したときに、 $0.23 \leq y/(x+y) \leq 0.30$ であることが好ましい。

【0014】このようにすると、high-kゲート絶縁膜の信頼性寿命を十分保ちながら、900℃程度の熱処理に対してもhigh-kゲート絶縁膜の熱的安定性を確実に保つことができる。

【0015】本発明の半導体装置において、一の金属はハフニウム又はジルコニウムであり、一の金属、酸素、シリコン及び窒素をそれぞれM、O、SI及びNとして下部バリア膜の組成をM_xSi_yO_zN_w（但し $x > 0$ 且 $y > 0$ ）と表記したときに、 $x/(x+y) \geq 0.10$ であることが好ましい。

【0016】このようにすると、下部バリア膜の比誘電率を確実に高くすることができる。

【0017】本発明の半導体装置において、ゲート電極はメタルゲート電極であってもよい。

【0018】本発明に係る第1の半導体装置の製造方法は、基板上に、一の金属、酸素及び所定の物質を含む高誘電率膜を形成する工程と、高誘電率膜に対して熱処理を行なうことにより、基板側からシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、シリコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えている。

【0019】第1の半導体装置の製造方法によると、所定の物質を含む高誘電率膜に対して熱処理を行なうことによって、高誘電率膜から所定の物質を脱離させることができ、それにより形成された空孔を介してシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成できる。このため、高誘電率膜中にシリコンを効率的に含ませることができると共に、最終的に空孔が消失してシリコン含有高誘電率膜の緻密化が進む。ここで、シリコン含有高誘電率膜は製造プロセス中の高温処理によって結晶化しにくいため、シリコン含有高誘電率膜の大

部分が装置完成後においてもアモルファス状態に保たれる。その結果、シリコン含有高誘電率膜を有するゲート絶縁膜、つまりhigh-kゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-kゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に半導体装置の製造におけるプロセスマージンを大きくすることができる。

【0020】第1の半導体装置の製造方法において、所定の物質は水素であることが好ましい。

10 【0021】このようにすると、高誘電率膜中にシリコンを確実に拡散させることができる。

【0022】第1の半導体装置の製造方法において、高誘電率膜を形成する工程よりも前に、基板上に、シリコン、窒素及び所定の物質を含む絶縁膜を形成する工程を備え、高誘電率膜に対して熱処理を行なう工程は、絶縁膜に含まれるシリコンを高誘電率膜中に拡散させる工程と、高誘電率膜に含まれる一の金属を絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことが好ましい。

20 【0023】このようにすると、高誘電率膜中にシリコンを確実に含ませることができる。また、高誘電率膜又はシリコン含有高誘電率膜と基板とが反応することを防止できる。また、下部バリア膜に、シリコン含有高誘電率膜と同じ金属を含ませることができため、下部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

【0024】第1の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金属と所定の物質とを含むソースプリカーサを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

30 【0025】このようにすると、所定の物質を含む高誘電率膜を確実に形成することができる。

【0026】第1の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金属を含むソースプリカーサと、所定の物質を含むソースガスとを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

【0027】このようにすると、所定の物質を含む高誘電率膜を確実に形成することができる。

40 【0028】第1の半導体装置の製造方法において、高誘電率膜を形成する工程は、所定の物質を含む雰囲気中で一の金属を含むターゲットを用いたPVD法により高誘電率膜を形成する工程を含むことが好ましい。

【0029】このようにすると、所定の物質を含む高誘電率膜を確実に形成することができる。

【0030】本発明に係る第2の半導体装置の製造方法は、基板上に、一の金属、酸素及び水素を含む高誘電率膜を形成する工程と、高誘電率膜に対して熱処理を行なうことにより、基板側からシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、シ

リコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えている。

【0031】第2の半導体装置の製造方法によると、水素を含む高誘電率膜に対して熱処理を行なうことによって、高誘電率膜から水素を脱離させることができ、それにより形成された空孔を介してシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成できる。このため、高誘電率膜中にシリコンを効率的に含ませることができると共に、最終的に空孔が消失してシリコン含有高誘電率膜の緻密化が進む。ここで、シリコン含有高誘電率膜は製造プロセス中の高温処理によって結晶化しにくいため、シリコン含有高誘電率膜の大部分が装置完成後においてもアモルファス状態に保たれる。その結果、シリコン含有高誘電率膜を有するゲート絶縁膜、つまりhigh-kゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-kゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に半導体装置の製造におけるプロセスマージンを大きくすることができる。

【0032】第2の半導体装置の製造方法において、高誘電率膜を形成する工程よりも前に、基板上に、シリコン、窒素及び水素を含む絶縁膜を形成する工程を備え、高誘電率膜に対して熱処理を行なう工程は、絶縁膜に含まれるシリコンを高誘電率膜中に拡散させる工程と、高誘電率膜に含まれる一の金属を絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことが好ましい。

【0033】このようにすると、高誘電率膜中にシリコンを確実に含ませることができる。また、高誘電率膜又はシリコン含有高誘電率膜と基板とが反応することを防止できる。また、下部バリア膜に、シリコン含有高誘電率膜と同じ金属を含ませることができるために、下部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

【0034】第2の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金属と水素とを含むソースプリカーサを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

【0035】このようにすると、水素を含む高誘電率膜を確実に形成することができる。

【0036】第2の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金属を含むソースプリカーサと、水素を含むソースガスとを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

【0037】このようにすると、水素を含む高誘電率膜を確実に形成することができる。

【0038】第2の半導体装置の製造方法において、高誘電率膜を形成する工程は、水素を含む雰囲気中で一の金属を含むターゲットを用いたPVD法により高誘電率膜を形成する工程を含むことが好ましい。

【0039】このようにすると、水素を含む高誘電率膜を確実に形成することができる。

【0040】第1又は第2の半導体装置の製造方法において、一の金属はハフニウム又はジルコニウムであることが好ましい。

【0041】このようにすると、シリコン含有高誘電率膜の比誘電率を確実に高くすることができる。

【0042】第1又は第2の半導体装置の製造方法において、高誘電率膜に対して熱処理を行なう工程と導電膜を形成する工程との間に、シリコン含有高誘電率膜の表面を空化することにより上部バリア膜を形成する工程を備えていることが好ましい。

【0043】このようにすると、ゲート電極材料と高誘電率膜材料とが互いに拡散することを防止できる。また、上部バリア膜に、高誘電率膜と同じ金属を含ませることができるために、上部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

【0044】第1又は第2の半導体装置の製造方法において、高誘電率膜を形成する工程と高誘電率膜に対して熱処理を行なう工程との間に、高誘電率膜の表面を空化することにより上部バリア膜を形成する工程を備えていることが好ましい。

【0045】このようにすると、ゲート電極材料と高誘電率膜材料とが互いに拡散することを防止できる。また、上部バリア膜に、高誘電率膜と同じ金属を含ませることができるために、上部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

【0046】第1又は第2の半導体装置の製造方法において、高誘電率膜に対して熱処理を行なう工程における熱処理温度は600℃以上且つ850℃以下であることが好ましい。

【0047】このようにすると、高誘電率膜から所定の物質又は水素を確実に脱離させることができ、それによって高誘電率膜中にシリコンを確実に拡散させることができる。

【0048】第1又は第2の半導体装置の製造方法において、一の金属、酸素及びシリコンをそれぞれM、O及びS1としてシリコン含有高誘電率膜の組成をM_xS_{1-x}O_y（但し $x > 0$ 且 $y > 0$ ）と表記すると共に製造プロセスでの最高温度をT [℃]と表記したときに、T \leq 6.69·y/(x+y)+749.4であることが好ましい。

【0049】このようにすると、シリコン含有高誘電率膜を有するhigh-kゲート絶縁膜の熱的安定性を確実に保つことができる。

【0050】この場合、ゲート電極はシリコンを含む材料よりなり、y/(x+y) \leq 0.30であることが好ましい。

【0051】このようにすると、シリコン含有高誘電率膜を有するhigh-kゲート絶縁膜の信頼性寿命を十分に保つことができる。

【0052】第1又は第2の半導体装置の製造方法において、ゲート電極はメタルゲート電極であり、導電膜を形成する工程よりも後に、基板に対して熱処理を行なう工程を備えていることが好ましい。

【0053】このようにすると、シリコン含有高誘電率膜を有するhigh-kゲート絶縁膜中の欠陥をより一層低減できる。

【0054】

【発明の実施の形態】(第1の実施形態)以下、本発明の第1の実施形態に係る半導体装置、具体的にはMISFETについて、図面を参照しながら説明する。

【0055】図1は、第1の実施形態に係る半導体装置の断面構成を示している。

【0056】図1に示すように、シリコン基板10上にゲート絶縁膜11を介してゲート電極12が形成されている。また、シリコン基板10におけるゲート電極12の両側には、ソース領域又はドレイン領域となる不純物拡散層13が形成されている。ゲート絶縁膜11は、絶縁性金属酸化物よりなる高誘電率膜11aと、高誘電率膜11aの下側に形成された下部バリア膜11bと、高誘電率膜11aの上側に形成された上部バリア膜11cとを有している。

【0057】具体的には、高誘電率膜11aは、高い比誘電率を持つハフニウムオキサイド(HfO_2)にシリコンが含まれた物質、つまりシリコン含有ハフニウムオキサイド($Hf_xSi_yO_2$ (但し $x > y > 0$))から構成されている。また、シリコン基板10と高誘電率膜11aとの反応を防止する下部バリア膜11bは、例えばハフニウムを含むシリコン窒化酸化膜よりなる。また、高誘電率膜11aとゲート電極12との反応を防止する上部バリア膜11cは、例えば窒素を含むシリコン含有ハフニウムオキサイド膜よりなる。すなわち、下部バリア膜11b及び上部バリア膜11cは高誘電率バリア膜である。さらに、ゲート電極12は、例えばリンがドープされたポリシリコン膜よりなる。

【0058】尚、高誘電率膜11aが窒素を含んでいてもよい。また、ゲート絶縁膜11の物理的膜厚が4nm程度の場合、高誘電率膜11aの物理的膜厚は2nm程度であり、下部バリア膜11bの物理的膜厚は1nm弱であり、上部バリア膜11cの物理的膜厚は1nm強である。また、高誘電率膜11a、下部バリア膜11b及び上部バリア膜11cはいずれもアモルファス状態である。

【0059】本実施形態において、高誘電率膜11aとなる HfO_2 膜にシリコンを含ませた理由は、高誘電率膜11aの熱的安定性を保つためである。言い換えれば、シリコンを含む高誘電率膜11aは、高温の熱処理

が加わった場合にも結晶化しにくいので(或いは部分的にしか結晶化せずアモルファス状態のまま維持されるので)、結晶粒界又は欠陥単位に起因したリーク電流増加を抑制できるからである。以下、図面を参照しながら具体的に説明する。

【0060】図2は、 HfO_2 に添加するシリコン(Si)量と、 HfO_2 の結晶化温度及び熱的安定性保証温度との関係を示している。ここで、結晶化温度とはアモルファス状態から結晶状態へ変化し始める温度である。

10 すなわち、結晶化温度を境にして状態変化が始まるので、結晶化温度を越えても直ちに物体(HfO_2)全体が結晶化されるわけではない。

【0061】図2において、横軸は、単位体積の HfO_2 に含まれるSi原子の数(以下、Si濃度とする)と単位体積の HfO_2 に含まれるHf原子の数(以下、Hf濃度とする)との和に対するSi濃度の比 X_1 (%表示)を示している。すなわち、横軸左端($X_1 = (Si\text{濃度}/(Si\text{濃度}+Hf\text{濃度})) \times 100 = 0\%$)はSiが全く含まれない HfO_2 を表し、横軸右端($X_1 = (Si\text{濃度}/(Si\text{濃度}+Hf\text{濃度})) \times 100 = 100\%$)はHfが全く含まれない SiO_2 を表す。また、縦軸は温度を示している。

【0062】図2に示すように、比 X_1 の増加に従って、つまり添加Si量の増加に従って、 HfO_2 の結晶化温度及び熱的安定性保証温度は上昇する。すなわち、 HfO_2 にシリコンを加えることによって、 HfO_2 の熱的安定性が増していくことがわかる。これは、Si量を増やすことにより、Si含有 HfO_2 つまりHfシリケート材料がアモルファス状態を維持しやすくなり、その結果、高温下でも HfO_2 膜全体が結晶化しにくくなつてアモルファス状態のまま維持されるからである。

【0063】ここで、熱的安定性保証温度とは、 HfO_2 よりなる絶縁膜を有するMOSキャパシタ構造に対して RTP(rapid thermal process)装置により1atmのN₂ガス中で30秒間のアニール処理を行なう場合において絶縁膜に急激なリーク電流の増大が生じ始めるアニール温度である。従って、熱的安定性保証温度よりも下の温度では、Si含有 HfO_2 膜を用いたMOSキャパシタ構造におけるリーク電流及び容量は理想的な値を示す。その一方、熱的安定性保証温度よりも上の温度では、Si含有 HfO_2 膜における局所的な欠陥の急増に起因してMOSキャパシタのリーク電流が急激に3桁程度も増加する。このとき、C-V(Capacitance-Voltage)測定においてAccumulation(蓄積)状態での容量が発散してしまう結果、MOSキャパシタの容量測定は不可能となる。すなわち、熱的安定性保証温度よりも上の温度では、Si含有 HfO_2 膜を用いたMOSキャパシタ構造は、キャパシタとしての役目を果たさなくなる。

【0064】また、比 X_1 を70%以上にすると、Si含有 HfO_2 膜のほぼ全体を高温下でもアモルファス状

態に保てるので、1200℃の高温プロセスが加わった場合にもリーク電流を抑制できる。また、比 X_1 が少なくとも23%以上あれば、 Si 含有 HfO_2 膜が結晶化したときに生じる結晶は微結晶状態であって、膜全体としてはアモルファス状態が支配的であるため、900℃の高温プロセスが加わった場合にもリーク電流を抑制できる。ここで、対象材料の大部分がアモルファス状態である場合、或いは、熱的安定性つまり耐熱性にほとんど影響しない程度の多少の微結晶が対象材料中に含まれている場合も、アモルファス状態とみなしている。

【0065】また、図2に示すように、 Si 濃度/(Si 濃度+ Hf 濃度)×100を X_1 [%]と表記すると共に熱的安定性保証温度(具体的にはポリシリコン電極を使用した場合)を T [℃]と表記した場合、半導体装置の製造プロセスで使用できるプロセス温度の範囲と、 Si 含有 HfO_2 膜における Si 濃度の範囲とを示す直線 $T = 6.69 \cdot X_1 + 749.4$ が定義できる。言い換えると、プロセス温度及び Si 濃度は $T = 6.69 \cdot X_1 + 749.4$ よりも下側の範囲であることが必要である。具体的には、 X_1 の値つまり Si 含有 HfO_2 の組成が決まっている場合、プロセス温度は、 X_1 の所定値と対応する熱的安定性保証温度 T 以下の温度範囲でなければならない。逆に、プロセスの最高温度が決まっている場合、該最高温度を熱的安定性保証温度 T としたときの X_1 の値よりも大きな X_1 を有するように Si が添加された HfO_2 膜つまり Hf シリケート膜を選択しなければならない。図1に示す本実施形態の半導体装置の構造の場合、前述のように Si 濃度を決定する対象は、例えばゲート絶縁膜11全体であってもよいし、ゲート電極12との接触を考慮してゲート絶縁膜11におけるゲート電極12との界面から下側2nm程度の範囲であってもよい。

【0066】図3は、図2に示す関係(実験結果)に基づき色々なプロセス最高温度に対応して求められた、熱的安定性を保持できる Hf シリケートの組成(X_1)の許容範囲を示している。図3に示すように、例えば、プロセス最高温度が900℃程度である場合(例えば電極材料にポリシリコンを使用したプロセスの場合)、欠陥等に起因する急激なリーク電流増加の発生を防止して熱的安定性を保つためには、 X_1 は23%以上でなければならない。

【0067】図4は、 HfO_2 膜に添加する Si 量と、 HfO_2 膜の比誘電率との関係を示している。図4において、上の横軸は Si 量の目安となる、前述の $X_1 = (\text{Si}$ 濃度/(Si 濃度+ Hf 濃度))×100を示している。また、下の横軸は Hf 量の目安となる $X_2 = (\text{Hf}$ 濃度/(Si 濃度+ Hf 濃度))×100を示している。また、縦軸は HfO_2 膜の比誘電率を示している。また、□は比誘電率の実測値を示している。

【0068】図4に示すように、 HfO_2 膜の比誘電率 50

は、 X_1 が0%のとき(つまり Si を全く含まない HfO_2 膜のとき)が最高で約24である。また、 HfO_2 膜中の Si 量が増えるに従って比誘電率は減少するが、 X_1 が30%から90%までの間は比誘電率は約11程度のほぼ一定の値を維持する。さらに、 HfO_2 膜中の Si 量が増えて X_1 が90%を越えると、比誘電率は再び徐々に減少し始め、 X_1 が100%のとき(つまり Hf を全く含まない SiO_2 膜のとき)、比誘電率は約3.9となる。従って、 X_1 を90%以下にすることにより、言い換えると、 X_1 を10%以上にすることにより、相対的に高く且つ安定した比誘電率を有する Hf シリケート膜を実現できる。

【0069】以上に説明してきた、図2～図4に示す結果によると、高誘電率膜11a(高誘電率膜11a自体に代えて高誘電率膜11aと下部バリア膜11b及び/又は上部バリア膜11cとが組み合わされた積層構造でもよい)が高い比誘電率を持ちながら熱的安定性を保つためには、シリコン含有 HfO_2 よりなる高誘電率膜11aにおける $X_1 = (\text{Si}$ 濃度/(Si 濃度+ Hf 濃度))×100は23%以上90%以下に設定されることが重要である。

【0070】尚、 $X_1 = (\text{Si}$ 濃度/(Si 濃度+ Hf 濃度))×100は、高誘電率膜11aの組成を $\text{Hf}_x\text{Si}_y\text{O}_z$ (但し $x > 0$ 且 $y > 0$)と表記したときの $(y/(x+y)) \times 100$ と同意である。同様に、 $X_2 = (\text{Hf}$ 濃度/(Si 濃度+ Hf 濃度))×100は、 $(x/(x+y)) \times 100$ と同意である。また、 X_1 及び X_2 は Si 濃度と Hf 濃度との関係を表すものであるので、対象となる Hf シリケートが、窒化 Hf シリケートとしてNを含んでいる場合、或いは、C1、F及びH等の他の元素を含んでいる場合にも、 X_1 及び X_2 を用いた以上の説明は有効である。

【0071】図5は、 HfO_2 膜に添加する Si 量と、 HfO_2 膜の信頼性寿命(絶縁破壊に至るまでの時間)との関係を示している。図5において、上の横軸は Si 量の目安となる、前述の $X_1 = (\text{Si}$ 濃度/(Si 濃度+ Hf 濃度))×100を示している。また、下の横軸は Hf 量の目安となる $X_2 = (\text{Hf}$ 濃度/(Si 濃度+ Hf 濃度))×100を示している。また、縦軸は HfO_2 膜の信頼性寿命を示している。また、□は HfO_2 膜の信頼性寿命の実測値を示している。

【0072】具体的には、組成の異なる Hf シリケート膜を有するMOSキャバシタの色々なサンプルを用意して、TDDDB(Time Dependent Dielectric Breakdown measurement)試験を行なうことにより、不良率100ppm、絶縁膜面積(MOS面積)0.1cm²、温度100℃、印加電圧 $V_c = -1\text{V}$ 、EOT(SiO_2 換算膜厚)=1.5nmという条件下で、 Hf シリケート膜の長期信頼性寿命を推定した結果を図5に示している。ここで、各サンプルにおける Hf シリケート膜の組

成は、 HfO_2 を含まない SiO_2 から Si を含まない HfO_2 までの範囲で変化する。また、各サンプルは P 型基板上に形成されており、基板側を 0 V としてマイナスの一定ストレス電圧が電極に印加される。

【0073】より詳細には、TDDDB 試験に用いられる各サンプルの絶縁膜面積は $3 \times 10^{-1} \text{ cm}^2$ から $5 \times 10^{-1} \text{ cm}^2$ までの範囲であり、絶縁膜面積 0.1 cm^2 での信頼性寿命を求める場合には、絶縁膜中の欠陥がボアソン分布しているという仮定に基づく次式

絶縁膜面積 1 の信頼性寿命 = 絶縁膜面積 2 の信頼性寿命 $\times (絶縁膜面積 2 / 絶縁膜面積 1)^{1/\beta}$

(但し β はワイブル傾き) を使用した。また、TDDDB 試験時の温度は室温から 100°C までの範囲であり、温度 100°C での信頼性寿命を求める場合には、温度変化に対して予め求められた信頼性寿命の活性化エネルギーを使用した。また、不良率 100 ppm での信頼性寿命を求める場合には、TDDDB 試験により得られたワイブルプロットに基づきワイブル傾き β を求めた後、真性絶縁破壊の近似直線を延長した。さらに、TDDDB 試験では絶対値で 1 V よりも大きな V_c を用いる一方、 $V_c = -1 V$ での信頼性寿命を求める場合には、 $(V_c (TDDDB 試験時) - V_{fb}) / T_{ph}$ (但し V_{fb} はフラットバンド電圧、 T_{ph} は絶縁膜全体の物理膜厚) の式から得られる、本当の電界 E_{ox} (real) と対応する信頼性寿命の実験データを直線近似により延長した。

【0074】前述の様な方法を用いて得られた図 5 に示す結果によると、 X_1 (上の横軸) を 30% 以下にすることにより、言い換えると、 X_1 を 70% 以上にすることにより、 Hf シリケート膜の信頼性寿命は 10 年以上となる。尚、図 5においては、本当の電界 E_{ox} (real) に対して、より低電圧側への信頼性寿命の推定を行なった結果を示したが、これに代えて、TDDDB 試験時の V_c 自体に対して、又は $(V_c (TDDDB 試験時) - V_{fb}) / EOT$ の式から得られる、有効的な電界 E_{ox} (effective) に対して、より低電圧側への信頼性寿命の推定を行なった結果についてもほぼ同様の傾向を示した。

【0075】ところで、図 2～図 4 に示す結果によると、熱的安定性と高い比誘電率を重要視した場合、 Hf シリケート膜における $X_1 = (Si \text{ 濃度} / (Si \text{ 濃度} + Hf \text{ 濃度})) \times 100$ は 23% 以上 90% 以下に設定されることが好ましかった。一方、図 5 に示す結果によると、 X_1 を 30% 以下にすることにより、信頼性寿命を確保することができる。すなわち、熱的安定性及び高い比誘電率に加えて信頼性を重要視した場合、 X_1 の好ましい範囲は 23% 以上 30% 以下になる。但し、リプレースメントゲートプロセス (ダミーゲートを用いることによりソース・ドレイン領域の形成後にゲート電極の形成を可能とするプロセス) 等の、ゲート絶縁膜形成後に高温処理が必要ないプロセスの場合、具体的にはゲー

10

20

30

40

50

ト電極形成後に 750°C 以上の熱処理がないプロセスの場合、信頼性のみを重要視すればよいので、 X_1 の好ましい範囲は 30% 以下になる。

【0076】図 6 は、 HfO_2 膜に添加する Si 量と、 HfO_2 膜の熱的安定性及び信頼性との関係を示している。

【0077】図 6 に示すように、 Si を含む HfO_2 膜よりなる high-k ゲート絶縁膜における構造 (組成) 又はプロセス温度の好ましい範囲は大きく 3 つに分けられる。すなわち、熱的安定性のみを重要視する場合には、好ましい範囲は $T = 6.69 \cdot X_1 + 749.4$ よりも下側の範囲である。このとき、900°C のプロセス最高温度において比誘電率の大きさも確保するためには、 X_1 は 23% 以上 90% 以下に設定されなければならない。また、リプレースメントゲート等を使用した、ゲート絶縁膜形成後に高温処理が必要ないプロセスの場合、信頼性のみを重要視すれば良く、 X_1 は 30% 以下に設定されればよい。さらに、従来の Si プロセスにおいて $SiON$ に代えて high-k 材料をゲート絶縁膜材料として使用すると共に $Poly-Si$ 又は $SiGe$ 等をゲート電極材料として使用する場合、つまり、比較的高温の不純物活性化アニールがゲート絶縁膜形成後に行なわれる場合、熱的安定性及び信頼性の両方を重要視する必要があるため、 $T = 6.69 \cdot X_1 + 749.4$ よりも下側であり且つ X_1 は 30% 以下である範囲が好ましい。このとき、プロセス最高温度が 900°C であるとすると、 X_1 は 23% 以上 30% 以下に設定されなければならない。尚、900°C は、ソース領域、ドレイン領域又は電極に含まれる不純物の活性化アニールにおける典型的な温度である。

【0078】以上に説明したように、第 1 の実施形態によると、ゲート絶縁膜 11 を構成する高誘電率膜 11a がシリコンを含む HfO_2 膜であるため、製造プロセス中の高温処理によって高誘電率膜 11a が結晶化することを防止できる。このため、完成後の半導体装置において、高誘電率膜 11a の大部分がアモルファス状態に保たれるので、ゲート絶縁膜 11 つまり high-k ゲート絶縁膜にリーク電流が生じることを抑制できる。従って、ゲート絶縁膜 11 の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に、半導体装置の製造におけるプロセスマージンを大きくすることができる。

【0079】また、第 1 の実施形態によると、ゲート絶縁膜 11 における高誘電率膜 11a の下側に、シリコン、窒素及び酸素を含む下部バリア膜 11b が存在するため、高誘電率膜 11a とシリコン基板 10 とが反応することを防止できる。ここで、下部バリア膜 11b は、高誘電率膜 11a 中の酸素によってシリコン基板 10 が酸化されることを防止している。すなわち、シリコン基板 10 の表面に、 SiO_2 膜と同程度の比誘電率を有す

る酸化層が界面層として形成されると、ゲート絶縁膜11全体としての比誘電率が極端に下がってしまうため、下部バリア膜11bを設けている。

【0080】また、第1の実施形態によると、下部バリア膜11bに、高誘電率膜11aと同じ金属、具体的にはハフニウムが含まれているため、下部バリア膜11bの比誘電率を通常のシリコン空化酸化膜と比べて高くでき、それによってゲート絶縁膜11全体の比誘電率を高くすることができる。具体的には、図4に示すように、下部バリア膜11bにおいてシリコンに対してハフニウムを10%以上導入する（つまり $X_1 \geq 10\%$ ）ことにより、下部バリア膜11bの比誘電率を効果的に大きくすることができる。それに対して、図4に示すように、下部バリア膜11bにおけるシリコン含有量が大きくなりすぎると（具体的には $X_1 \geq 90\%$ であると）、比誘電率が急激に低下する。すなわち、下部バリア膜11bにおけるHf濃度を $X_1 = 0\%$ から少しでも高くしておくことは、ゲート絶縁膜11全体のEOTを低減することに対して非常に効果的である。

【0081】また、第1の実施形態によると、ゲート絶縁膜11における高誘電率膜11aの上側に上部バリア膜11cが存在するため、ゲート電極12中の材料（本実施形態ではポリシリコン）と、高誘電率膜11a中の材料（例えばハフニウム）とが必要以上に混じり合うことを防止でき、それによってゲート絶縁膜11の比誘電率の低下を抑制できる。ここで、上部バリア膜11cが窒素を含むことにより、上部バリア膜11cのバリア効果が向上する。また、上部バリア膜11cが、高誘電率膜11aと同じハフニウムを含むことにより、上部バリア膜11cの比誘電率を高くでき、それによってゲート絶縁膜11全体の比誘電率を高くすることができる。

【0082】尚、第1の実施形態において、高誘電率膜11a（高誘電率膜11a自体に代えて高誘電率膜11aと下部バリア膜11b及び/又は上部バリア膜11cとが組み合わされた積層構造でもよい）における $X_1 = (S_1 \text{濃度} / (S_1 \text{濃度} + Hf \text{濃度})) \times 100$ は23%以上90%以下に設定されることが好ましい。このようにすると、高誘電率膜11aの比誘電率を高くできると共に、900°C程度の熱処理に対しても高誘電率膜11aの結晶化を抑制して欠陥等に起因したリーク電流増加を防止できる。すなわち、ゲート絶縁膜11の比誘電率を十分保ちながら、ゲート絶縁膜11の熱的安定性を確実に保つことができる。このとき、高誘電率膜11aにおける X_1 は23%以上30%以下に設定されることがさらに好ましい。このようにすると、前述の効果に加えて、高誘電率膜11aつまりゲート絶縁膜11の信頼性寿命を十分保つことができる。また、リプレースメントゲート等の使用によりプロセス最高温度がかなり低くなる場合、 X_1 を30%以下に設定するだけで、ゲート絶縁膜11の比誘電率及び信頼性寿命を十分保ちなが

ら、ゲート絶縁膜11の熱的安定性も保つことができる。

【0083】また、第1の実施形態において、ゲート絶縁膜11を構成する高誘電率材料としてHfO_xを用いたが、これに代えて、ZrO_x、TiO_x、Ta_xO_x、La_xO_x、CeO_x、Al_xO_x、又はBST（バリウムストロンチウムチタニウムオキサイド）等を用いてよい。或いは、Hf_xAl_yO_z（但し $x > 0$ 且つ $y > 0$ ）等の3元系酸化物を用いてよい。或いは、以上に述べたような金属酸化物にS1原子が含まれた金属シリケートを用いてよい。

【0084】また、第1の実施形態において、下部バリア膜11b及び上部バリア膜11cを設けたが、ゲート電極12の材料等の選択によっては、下部バリア膜11b及び/又は上部バリア膜11cを設けなくてもよい。

【0085】また、第1の実施形態において、ゲート電極12としてポリシリコン電極を用いたが、これに代えて、TiN膜とAl膜との積層膜（下層がTiN膜）、Ta膜、TiN膜又はTaN膜等の金属膜よりなる、いわゆるメタルゲート電極を用いてよい。メタルゲート電極材料としてTiN膜又はTaN膜等の金属膜を用いる場合、該金属膜にS1又はGeを混ぜてもよい。

【0086】（第2の実施形態）以下、本発明の第2の実施形態に係る半導体装置の製造方法、具体的にはMISFETの製造方法について、図面を参照しながら説明する。

【0087】図7（a）～（c）及び図8（a）～（c）は、第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0088】まず、図7（a）に示すように、p型シリコン（100）基板20上に、素子分離絶縁膜（図示省略）を形成してデバイス形成領域を区画した後、シリコン基板20の表面に対して標準RCA洗浄及び希釈HF洗浄を行なう。その後、700°C程度の温度下でNH₃ガスを用いて厚さ0.7nm程度のシリコン空化酸化膜（S₁N_x膜）21Aをシリコン基板20上に形成する。このとき、S₁N_x膜21A中には水素が十分に取り込まれる。尚、S₁N_x膜21Aは最終的に下部バリア膜21（図7（c）参照）となる。

【0089】次に、図7（b）に示すように、ハフニウムを含むソースプリカーサを用いたCVD（chemical vapor deposition）法により、厚さ50nm程度のハフニウムオキサイド（HfO_x）膜22Aをシリコン基板20上に形成する。具体的には、液体HfソースであるHf-t-butoxide（C₄H₉HfO₂）中に、キャリヤガスである窒素（N₂）ガスを通すことによって、Hf-t-butoxideをバーニングさせてHf-t-butoxideを気化させる。そして、気化したHf-t-butoxideを含むN₂ガスを、酸化剤である乾燥酸素（O₂）ガスと共に、シリコ

ン基板20(ウェハ)が載置されたチャンバー内へ供給しながら、500°C程度の温度下でRTCVD(rapid thermal CVD)処理を行なってHfO₂膜22Aを形成する。

【0090】このとき、Si₃N₄膜21Aは、酸化剤のO₂ガスにより酸化されてSiON膜21Bとなる。SiON膜21Bは、シリコン基板20とHfO₂膜22Aとの間の反応を防止するバリア性を有すると共に水素を十分に含んでいる。尚、本実施形態では、シリコン基板20上にSi₃N₄膜21Aを形成した後、HfO₂膜22Aの形成時にSi₃N₄膜21Aを酸化してSiON膜21Bを形成しているが、Si₃N₄膜21Aを形成することなく、HfO₂膜22Aの形成前にシリコン基板20の表面をN₂Oガスを用いて窒化することによりSiON膜21Bを直接形成してもよい。

【0091】また、図7(b)に示す工程において、HfO₂膜22A中には、Hfソース中に含まれる水素(H)が自然に取り込まれる。一方、Hfソース中に含まれる炭素(C)は、酸化剤のO₂ガスにより酸化されてCO又はCO₂となってチャンバー内から排気される。また、チャンバー内には、Hfソースを構成する元素であるHf、O、C、Hに加えてN₂ガスも存在するが、500°C程度の温度下ではN₂ガスは非常に不活性であるため、N₂ガスの寄与は無視できる。

【0092】SIMS法(2次イオン質量分析法)によりHfO₂膜22Aを分析したところ、HfO₂膜22Aを構成する主要な元素はHf及びOであった。また、HfO₂膜22Aには $3 \times 10^{11} \sim 4 \times 10^{10}$ [atoms/cm²]程度のCと、 $5 \times 10^{10} \sim 4 \times 10^{11}$ [atoms/cm²]程度のHとが含有されていた。

【0093】次に、HfO₂膜22Aに対して熱処理(以下、PDA(post deposition anneal))を行なう。PDAは、例えば、窒素雰囲気中において700°C程度で30秒間行なう。ここで、PDAを行なうことによって、SiON膜21BとHfO₂膜22Aとの積層構造に生じる変化を図9(a)～(d)を参照しながら詳しく説明する。前述のように、PDAの実施前においては、図9(a)に示すように、SiON膜21B及びHfO₂膜22Aはそれぞれ水素を含んでいる。ここで、PDAを実施すると、図9(b)に示すように、SiON膜21B及びHfO₂膜22Aのそれぞれから水素が水素ガスとして効果的に脱離する結果、図9(c)に示すように、SiON膜21B及びHfO₂膜22Aのそれぞれの内部に空孔(図中の白丸)を形成できる。そして、図9(d)に示すように、これらの空孔を介してシリコン基板20又はSiON膜21Bに含まれるシリコンがHfO₂膜22A中に拡散すると共に、HfO₂膜22Aに含まれるHfがSiON膜21B中に拡散する。その結果、図7(c)に示すように、熱的安定性の高いシリコン含有HfO₂膜22が形成されると共

に、比誘電率の高いHf含有SiON膜よりなる下部バリア膜21が形成される。ここで、シリコン含有HfO₂膜22は、HfO₂膜22Aがシリコンの拡散により緻密化されることによって形成されている。また、下部バリア膜21の具体的な組成は第1の実施形態の下部バリア膜11bと同様である。

【0094】すなわち、PDAに伴うHfO₂膜22A及びSiON膜21Bからの水素脱離によって形成される空孔は、HfとSiとの相互拡散を促進する効果を持つ。このとき、PDAの温度を700°C程度に設定することは、水素脱離を顕著にして空孔形成を容易にするという効果、及び、Hf又はSiの拡散を容易にするという効果、つまり二重の効果をもたらす。その結果、1回のPDAを行なうだけで、HfO₂膜22AにSiを取り込んで熱的安定性の高いシリコン含有HfO₂膜22を形成できると共にSiON膜21BにHfを取り込んで比誘電率の高い下部バリア膜21(Hf含有SiON膜)を形成できる。従って、シリコン含有HfO₂膜22及び下部バリア膜21を含むゲート絶縁膜25(図8(c)参照)全体としての熱的安定性も改善できると共に、ゲート絶縁膜25全体としての比誘電率も結果的に増大させることができる。

【0095】次に、シリコン含有HfO₂膜22の表面を軽く窒化することによって、図8(a)に示すように、比誘電率の高い厚さ20nm程度の上部バリア膜23を形成する。すなわち、上部バリア膜23は、窒素を含むシリコン含有HfO₂膜よりなる。尚、上部バリア膜23の具体的な組成は第1の実施形態の上部バリア膜11cと同様である。

【0096】次に、図8(b)に示すように、上部バリア膜23の上に、ゲート電極となるポリシリコン膜24を例えばCVD法を用いて形成する。その後、ゲート電極形成領域を覆うマスクパターン(図示省略)を用いて、ポリシリコン膜24、上部バリア膜23、シリコン含有HfO₂膜22及び下部バリア膜21に対して順次ドライエッティングを行なう。これにより、図8(c)に示すように、下部バリア膜21、シリコン含有HfO₂膜22及び上部バリア膜23の積層構造を有するゲート絶縁膜25を介して、シリコン基板20上にゲート電極26が形成される。その後、ゲート電極26をマスクとして、シリコン基板20に対してイオン注入を行なって、ソース領域又はドレイン領域となる不純物拡散層27を形成する。最後に、不純物拡散層27中の不純物を活性化させるため、950°C程度の温度下で30秒間程度の熱処理を行なう。以上に説明した工程によって、high-kゲート絶縁膜を有するMIS型電界効果トランジスタが完成する。

【0097】以上に説明したように、第2の実施形態によると、シリコン基板20上に、水素を含むHfO₂膜22Aを形成した後、HfO₂膜22Aに対して熱処理

(PDA)を行なって水素を脱離させ、それにより形成された空孔を介してシリコンをHfO₂膜22A中に拡散させてシリコン含有HfO₂膜22を形成する。このため、HfO₂膜22A中にシリコンを効率的に含ませることができると共に、最終的に空孔が消失してシリコン含有HfO₂膜22の緻密化が進む。ここで、第1の実施形態で述べたように、シリコン含有HfO₂膜22は製造プロセス中の高温処理によって結晶化しにくいため、シリコン含有HfO₂膜22の大部分が装置完成後においてもアモルファス状態に保たれる。その結果、シリコン含有HfO₂膜22を有するゲート絶縁膜25、つまりhigh-kゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-kゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に、半導体装置の製造におけるプロセスマージンを大きくすることができる。

【0098】また、第2の実施形態によると、HfO₂膜22Aを形成する前に、シリコン基板20上に、水素を含むSi₁N_x膜21Aを形成する。尚、Si₁N_x膜21Aは、HfO₂膜22Aを形成するときに酸化されてSiON膜21Bとなる。その後、HfO₂膜22Aに対してPDAを行なうときに、SiON膜21Bに含まれるシリコンをHfO₂膜22A中に拡散させる。また、SiON膜21Bから水素を脱離させ、それにより形成された空孔を介してHfO₂膜22Aに含まれるHfをSiON膜21B中に拡散させることにより下部バリア膜21を形成する。このため、HfO₂膜22A中にシリコンを確実に含ませることができる。また、HfO₂膜22A又はシリコン含有HfO₂膜22とシリコン基板20とが反応することを防止できる。また、下部バリア膜21に、シリコン含有HfO₂膜22と同じHfを含ませることができるために、下部バリア膜21の比誘電率を高くでき、それによってゲート絶縁膜25全体の比誘電率を高くすることができる。

【0099】また、第2の実施形態によると、HfO₂膜22Aに対してPDAを行なう工程と、ゲート電極26となるポリシリコン膜24を形成する工程との間に、シリコン含有HfO₂膜22の表面を窒化して上部バリア膜23を形成する。このため、ゲート電極26中の材料とシリコン含有HfO₂膜22中の材料とが互いに拡散することを防止できる。また、上部バリア膜23に、シリコン含有HfO₂膜22と同じHfを含ませることができるために、上部バリア膜23の比誘電率を高くでき、それによってゲート絶縁膜25全体の比誘電率を高くすることができる。

【0100】また、第2の実施形態によると、ハフニウムと水素とを含むソースプリカーサを用いたCVD法によりHfO₂膜22Aを形成するため、HfO₂膜22Aに水素を確実に含ませることができる。

【0101】以下、HfO₂膜22Aに対してPDAを

行なう工程の特徴（例えば水素脱離によるHf及びSiの相互拡散）及び効果（例えば熱的安定性の改善）について、実験データを示す図面等を参照しながら説明する。

【0102】図10は、熱処理によってHfO₂膜から脱離していく水素を、TDS (thermal desorption spectroscopy : 昇温脱離分光) 法によって測定した結果を示している。図10において、横軸は熱処理温度を示しており、縦軸は、TDS法によって測定された水素ガスのスペクトル強度を示している。図10に示すように、熱処理温度が400℃程度に達すると、まず、HfO₂膜の表面に吸着した水素が脱離し始める。その後、熱処理温度が700℃程度に達すると、HfO₂膜中に含まれる水素が脱離する。堆積直後のHfO₂膜に含まれており且つその後の熱処理によってHfO₂膜から最終的に脱離した水素分子の密度を求めたところ、 5.6×10^{11} [molecules/cm²] という高い結果が得られた。また、図10に示す結果によると、熱処理温度が700℃程度のときに、脱離水素の検知量が最も多くなっている。従って、PDAの温度としては700℃程度が最適であり、このように設定することによって、HfO₂膜に含まれる過剰な水素を脱離させてHfO₂膜を最も効果的に緻密化することができる。

【0103】また、液体HfソースであるHf-t-butoxideを用いたCVD法によりSi基板上に形成されたHfO₂膜のサンプルに対して超高真空中で加熱処理（昇温速度：10℃/分）を行ないながら、高分解能断面TEM (transmission electron microscope) を用いて昇温中のHfO₂膜の変化をその場観察したところ、以下のことが確認された。すなわち、室温（HfO₂膜の堆積直後）では、Si基板の上に、Si原子が多く且つHf原子が少ない界面層（SiON膜21Bと対応）が存在すると共に該界面層の上にSi原子が少なく且つHf原子が多いHfO₂層が存在する。その後、温度を上げていくと、620℃から850℃までの温度領域において、界面層とHfO₂層との間に、界面層よりもSi原子が少なく且つHfO₂層よりもHf原子が少ない相互拡散層が明らかに存在し始める。最終的に860℃で高温アニールを行なったところ、HfO₂層と相互拡散層との積層構造（シリコン含有HfO₂膜22と対応）の合計物理膜厚は、堆積時点（室温）のHfO₂膜と比較して厚くなかった。すなわち、相互拡散層の拡大によって界面層が縮小し、その結果、界面層を含むHfシリケート積層構造全体の比誘電率が高くなかった。

【0104】尚、通常のPDAの場合、昇温速度が50℃/秒程度と高いと共に700℃程度の熱処理温度の保持時間も30秒程度と短いので、前述の高分解能断面TEMによる昇温中のその場観察と比較して、サーマルパージェット（熱負荷）が極めて小さい。このため、PDAに起因したSi基板の酸化は1nm以下しか起こらず、

また、前述の界面層はS I及びH fの相互拡散により非常に薄くなる結果、最終的な界面層（下部バリア膜21と対応）の厚さは0.5 nm程度となる。従って、界面層を含むH fシリケート積層構造全体の比誘電率が高くなる結果、該積層構造全体のE O Tは非常に小さくなる。すなわち、水素を含むH fソースを用いたCVD法によるH fO_x膜の形成は、high-kゲート絶縁膜の形成方法として非常に有利である。それに対して、水素を含まない、通常のH fソースを用いたCVD法によりH fO_x膜を形成し、該H fO_x膜に対して、前述の高分解能断面TEMによる昇温中のその場観察を行なったところ、界面層とH fO_x層との間で相互拡散はほとんど起こらず、その結果、H fO_x層の熱的安定性の改善、或いは界面層とH fO_x層との積層構造における比誘電率の増加は見られなかった。

【0105】図11は、H f-t-butoxideを用いたCVD法により形成された、Hを含むH fO_x膜に対して、熱処理後にC-V測定を行なった結果を示している。具体的には、ゲート絶縁膜として物理膜厚3.0~3.3 nmのH fO_x膜を用い且つゲート電極としてポリシリコンを用いたMOSキャパシタのサンプルに対して、ゲート電極に注入された不純物を活性化するためのアニールを900°C、950°C及び1050°Cで行なった後に基板側を0Vとしてゲート電圧V_gを印加した。図11において、横軸はゲート電圧（V_g）を示しており、縦軸は、容量を示している。また、◆は900°Cで熱処理を行なったときの容量の測定値を示しており、■は950°Cで熱処理を行なったときの容量の測定値を示しており、▲は1050°Cで熱処理を行なったときの容量の測定値を示している。

【0106】図11に示すように、H f-t-butoxideから形成された、Hを含むH fO_x膜を用いた場合、活性化アニール温度を上げた場合においても、安定したC-Vカーブを示しており、理想的なMOSキャパシタとして耐えうる温度は1050°C以上にも達している。すなわち、Hを含むH fO_x膜においては、PDAによる水素脱離に伴ってH f及びS Iの相互拡散が顕著に生じる結果、該H fO_x膜の表面側にもS I含有層が存在するため、ポリシリコンをゲート電極として使用した場合においても、図11に示すように、1050°C程度でも非常に安定な熱耐性を示している。

【0107】図12は、水素を含まないソース、具体的には、H f-nitrate（H f（NO₃）₂）を用いたCVD法により形成された、Hを含まないH fO_x膜に対して、熱処理後にC-V測定を行なった結果を比較例として示している。具体的には、ゲート絶縁膜として物理膜厚3.0~3.3 nmのH fO_x膜を用い且つゲート電極としてポリシリコンを用いたMOSキャパシタのサンプルに対して、ゲート電極に注入された不純物を活性化するためのアニールを900°C、950°C及び1050°C

150°Cで行なった後に基板側を0Vとしてゲート電圧V_gを印加した。図12において、横軸はゲート電圧（V_g）を示しており、縦軸は、容量を示している。また、■は900°Cで熱処理を行なったときの容量の測定値を示しており、◆は950°Cで熱処理を行なったときの容量の測定値を示しており、▲は1150°Cで熱処理を行なったときの容量の測定値を示している。

【0108】図12に示すように、H f-nitrateから形成された、Hを含まないH fO_x膜を用いた場合、理想的なMOSキャパシタとして耐えうる温度は900°C程度までである。図11及び図12に示す結果を総合すると、Hを含むH fO_x膜を用いた場合の熱的安定性保証温度は1050°C程度以上である一方、Hを含まないH fO_x膜を用いた場合の熱的安定性保証温度は900°C程度である。すなわち、Hを含むH fO_x膜を用いた場合の方が、熱的安定性保証温度において150°C以上もの改善が見られた。

【0109】図13は、S I基板/S IN膜/H fO_x膜/ポリシリコン膜の積層構造を有するMOSキャパシタにおいて、Hを含むH fO_x膜及びHを含まないH fO_x膜をそれぞれ用いた場合の熱的安定性を比較した結果を示している。具体的には、各MOSキャパシタのサンプルに対して、窒素雰囲気中で900°Cから1150°Cまでの温度の活性化アニールを30秒間行なった後に、基板側を0Vとして-1.0Vのゲート電圧

（V_g）を印加してリーク電流J_lの測定を行なった。また、Hを含むH fO_x膜はH f-t-butoxideから形成されたものであり、Hを含まないH fO_x膜はHを含まないソースから形成されたものである。図13において、横軸は活性化アニール温度を示しており、縦軸は、リーク電流J_lを示している。また、◆はHを含まないソースを用いた場合のリーク電流J_lの測定値を示しており、□はH f-t-butoxideを用いた場合のリーク電流J_lの測定値の測定値を示している。

【0110】図13に示すように、H f-t-butoxideから形成された、Hを含むH fO_x膜を用いた場合には、活性化アニール温度を上げた場合でもリーク電流J_lの増加は約1桁のみに抑制された。それに対して、Hを含まないH fO_x膜を用いた場合には、活性化アニール温度を上げたときにリーク電流J_lが約3桁、つまりHを含むH fO_x膜を用いた場合と比べて1000倍程度も増加した。言い換えると、Hを含むH fO_x膜を用いた場合には、Hを含まないH fO_x膜を用いた場合と比べて欠陥生成確率を1000分の1程度以下に低減できる。

【0111】また、シリコン基板上に、Hを含むH fO_x膜及びHを含まないH fO_x膜のそれぞれを同じ物理膜厚（3 nm）で堆積した場合に、界面層を含む各H fO_x膜のE O Tを測定したところ、Hを含むH fO_x膜

を堆積した場合は1.1 nmであり、Hを含まないHfO_x膜を堆積した場合は1.6 nmであった。つまり、Hを含むHfO_x膜を堆積した場合の比誘電率は、Hを含まないHfO_x膜を堆積した場合の比誘電率よりも約1.46倍高かった。これは、Hを含むHfO_x膜を堆積した場合、界面層とHfO_xとの間でSi及びHfの相互拡散が生じて界面層にHfが含まれるようになる結果、界面層部分の比誘電率が大きく低減することによって起こる。

【0112】また、シリコン基板上に、Hを含む厚さ3.5 nmのHfO_x膜を形成した後、該HfO_x膜に対してPDA処理(800°C、30秒間)を行ない、その後、MgKa線を用いたXPS(X-ray photoelectron spectroscopy)法によりHfO_x膜の表面側からSi、O及びHfを測定したところ、PDA処理後のHfO_x膜の組成は、Hfが0.60、Siが0.49、Oが2.0と分析された。尚、XPS法による測定にあたっては、主としてHfO_x膜の表面側を観察するため、基板表面に対する脱出角度が57度の光電子を検出することによって、検出深さを2~3 nm程度に設定した。前述の結果より、PDA処理後のHfO_x膜においては、Siが表面近くまで拡散してきていることが判明した。

【0113】図14は、MOSキャバシタの絶縁膜であるHfO_x膜(水素含有)に対してPDAを行なった場合における、HfO_x膜成膜直後の物理膜厚と、MOSキャバシタ完成後のリーク電流との関係を示している。具体的には、CVD法によりHを含むHfO_x膜を成膜した後、該HfO_x膜に対して、圧力約60000 Pa(450 torr)の窒素雰囲気中で800°C、30秒間のPDAを行ない、その後、ゲート電極となるポリシリコン膜を堆積した。その後、ポリシリコン膜に対してイオン注入を行なった後、圧力約110000 Pa(760 torr)の窒素雰囲気中で900°C、30秒間の活性化アニールを行ない、その後、基板側を0Vとして-1.0 Vのゲート電圧(V_g)を印加してリーク電流J_gの測定を行なった。尚、HfO_x膜成膜直後の物理膜厚は、エリプソメトリー法(偏光法)を用いて測定されたものである。また、比較のため、HfO_x膜に対してPDAを行なう工程を省略したMOSキャバシタのサンプルについても、HfO_x膜成膜直後の物理膜厚と、MOSキャバシタ形成後のリーク電流との関係を調べた。

【0114】図14に示すように、PDAを行なった場合の方が、PDAを行なわない場合と比べてリーク電流J_gを小さく抑制できている。これは、PDAによってHfO_x膜中にSiが拡散する結果、活性化アニールによってHfO_x膜が結晶化することを防止できるため、完成後のMOSキャバシタにおいてHfO_x膜の大部分がアモルファス状態に保たれてゲートリーク電流増加を抑制できたものと考えられる。また、Si含有HfO_x

膜の緻密化によって、電極材料と高誘電率膜材料との反応を抑制できることによっても、ゲートリーク電流が低減されたと考えられる。また、図14に示すように、PDAを行なった場合におけるゲートリーク電流抑制効果は、HfO_x膜の物理膜厚が小さくなるほど顕著に現れている。以上の結果から、ゲート絶縁膜となる高誘電率膜を堆積した後、ゲート電極の形成前に、高誘電率膜に対してPDA(ポスト・デポジション・アニール)を行なう工程を設けることは非常に重要であり、これによって、リーク電流を非常に効果的に低減できることが確認された。

【0115】尚、第2の実施形態において、ゲート電極26としてポリシリコン膜24を用いたが、これに代えて、金属膜を用いてもよい。例えば、シリコン含有HfO_x膜22の表面を空化した後、ゲート電極26となるTiN膜及びAl膜をスパッタリング法により順次堆積してもよい。或いは、シリコン含有HfO_x膜22の表面を空化した後、ゲート電極26となるTa膜を堆積してもよい。或いは、シリコン含有HfO_x膜22の表面を空化することなく、TiN膜又はTaN膜等を堆積してもよい。この場合、TiN膜又はTaN膜等にSi又はGeを混ぜてもよい。また、以上のようにゲート電極26として金属膜を用いる場合、金属膜の形成後に、さらに熱処理(PMA:Post Metalization Anneal)を加えることによって、ゲート絶縁膜25中の欠陥をさらに低減することができる。このように形成されたMOS構造に対してC-V測定を行なうと、絶縁膜中の欠陥量と対応するヒステリシスの減少が確認される。また、PMAの温度は700°C以上が有効である。さらに、Hを含有するガス中で450°C、30分間程度のアニールを行なうと、ゲート絶縁膜25中の界面準位も低減できる。

【0116】また、第2の実施形態において、ゲート絶縁膜25を構成する高誘電率材料としてHfO_xを用いたが、これに代えて、ZrO_x、TiO_x、Ta_xO_x、La_xO_x、CeO_x、Al_xO_x、又はBST(バリウムストロンチウムチタニウムオキサイド)を用いてもよい。或いは、Hf_xAl_yO_z(但し $x > 0$ 且つ $y > 0$)等の3元系酸化物を用いてもよい。或いは、以上に述べたような金属酸化物にSi原子が含まれた金属シリケートを用いてもよい。尚、いずれの場合においても、水素を含有する高誘電率膜における前述の相互拡散の効果は、高誘電率膜の堆積時点での組成又は構成材料に関わらず実現される。

【0117】また、第2の実施形態において、液体HfソースプリカーサであるHf-t-butoxideを用いたCVD法によりHfO_x膜22Aを堆積したが、これに代えて、CVD法を用いる場合には、水素とハフニウムとを含む他のHfソースプリカーサ、例えばテトラキスジエチルアミドハフニウム(TDEAH:Tetrakis diethylamido hafnium、C₁₂H₂₄N₂Hf)、テト

ラキスジメチルアミノハフニウム (TDMAH: Tetrakis dimethylamino hafnium, $C_{12}H_{18}HfO_4$)、又はテトラキス1メトキシ2メチル2プロポキシハフニウム ($Hf(MMP)_4$: Tetrakis 1-Methoxy-2-methyl-2-propoxy hafnium, $Hf[OC(CH_3)_2CH_2OCH_3)_4$) 等を用いてもよい。或いは、ハフニウムを含む固体 Hf ソースプリカーサ、例えば $Hf-nitrate$ ($Hf(NO_3)_4$) と、水素を含むソースガス、例えば水素ガスなどを用いた CVD 法により HfO_2 膜を形成してもよい。或いは、スパッタ法等の PVD (physical vapor deposition) 法を用いる場合には、水素を含む雰囲気中でハフニウムを含むターゲットを用いてもよい。具体的には、酸素ガス及びアルゴンガスに水素ガスを加えた雰囲気中でハフニウムターゲットを用いてもよいし、アルゴンガスに水素ガスを加えた雰囲気中でハフニウムオキサイドターゲットを用いてもよい。尚、水素ガスは、高誘電率膜 (HfO_2 膜) 中に水素を積極的に取りこませるために添加されている。

【0118】また、第2の実施形態において、 HfO_2 膜 22A 又は Si_3N_4 膜 21A に所定の物質 (空孔形成用物質) として水素を取りこませたが、これに代えて、例えばハロゲン系ガスを用いて塩素、フッ素又はヨウ素等を取りこませてもよい。尚、空孔形成用物質としては、600~850°C 程度の温度で HfO_2 膜 22A 又は Si_3N_4 膜 21A からガスとして脱離し且つこれにより形成された空孔を介して Hf 又は Si の拡散を促進できるものであればよい。また、 HfO_2 膜 22A 及び Si_3N_4 膜 21A のそれぞれに含まれる空孔形成用物質が異なっていてもよい。

【0119】また、第2の実施形態において、シリコン基板 20 に対して、窒素を含むガス中で熱空化又はプラズマ空化等を行なうことにより Si_3N_4 膜 21A つまり下部バリア膜 21 を形成してもよい。或いは、 Si_3N_4 膜 21A を形成することなく、 HfO_2 膜 22A の形成前にシリコン基板 20 の表面を N_2 ガスを用いて空化することにより $SiON$ 膜 21B を直接形成してもよい。或いは、 HfO_2 膜 22A の蒸着形成の初期に窒素を含むガスを導入することによって、下部バリア膜 21 となる窒素含有の高誘電体絶縁膜をシリコン基板 20 上に直接形成してもよい。

【0120】また、第2の実施形態において、シリコン含有 HfO_2 膜 22 に対して、窒素を含むガス中で熱空化又はプラズマ空化等を行なうことにより上部バリア膜 23 を形成してもよい。或いは、ゲート電極 26 となるポリシリコン膜 24 の形成初期に窒素ガスを導入することによって、シリコン含有 HfO_2 膜 22 の表面を空化して上部バリア膜 23 を形成してもよい。或いは、 HfO_2 膜 22A の蒸着形成の最終段階で窒素を含むガスを導入することによって、 HfO_2 膜 22A の表面側に、上部バリア膜 23 となる窒素含有の高誘電体絶縁膜を形

成してもよい。

【0121】また、第2の実施形態において、 HfO_2 膜 22A に対して PDA を行なってシリコン含有 HfO_2 膜 22 を形成した後、シリコン含有 HfO_2 膜 22 の表面を空化して上部バリア膜 23 を形成したが、これに代えて、 HfO_2 膜 22A の表面を空化して上部バリア膜 23 を形成した後、 HfO_2 膜 22A に対して PDA を行なってシリコン含有 HfO_2 膜 22 を形成してもよい。

【0122】また、第2の実施形態において、下部バリア膜 21、シリコン含有 HfO_2 膜 22 及び上部バリア膜 23 の積層構造全体が窒素を含有しててもよい。

【0123】また、第2の実施形態において、図 7 (b) に示す工程において、まず、気化した $Hf-t-butoxide$ 等のソースをチャンバー内に送りこんだ後、酸素ガスをチャンバー内に供給し、その後、チャンバー内の温度を室温から昇温して 300~500°C 程度の範囲内の一定温度に保つことが好ましい。このようにすると、低温下でシリコン基板 20 上に Hf 分子をすばやく吸着させることができるために、 HfO_2 膜 22A を均一に形成できる。また、ソースガスの供給を開始してから HfO_2 の結晶成長が起こるまでのインキュベーション時間を短くできる。さらに、 HfO_2 膜 22A とシリコン基板 20 との間に形成される界面層 ($SiON$ 膜 21B) を薄くすることができる。

【0124】また、第2の実施形態において、図 7 (c) に示す工程で用いられる PDA における熱処理温度は 600°C 以上且つ 850°C 以下であることが好ましい。このようにすると、 HfO_2 膜 22A から水素を確実に脱離させることができ、それによって HfO_2 膜 22A 中にシリコンを確実に拡散させることができる。

【0125】また、第2の実施形態において、シリコン含有 HfO_2 膜 22 の組成を $Hf_xSi_yO_z$ (但し $x > 0$ 且つ $y > 0$) と表記すると共に製造プロセスでの最高温度を T [°C] と表記したときに、 $T \leq 6.69 \cdot y / (x+y) + 749.4$ であることが好ましい。このようにすると、シリコン含有 HfO_2 膜 22 を有するゲート絶縁膜 25 の熱的安定性を確実に保つことができる。

また、ゲート電極 26 がシリコンを含む材料よりなる場合には、 $T \leq 6.69 \cdot y / (x+y) + 749.4$ 且つ $y / (x+y) \leq 0.30$ であることが好ましい。このようにすると、シリコン含有 HfO_2 膜 22 を有するゲート絶縁膜 25 の熱的安定性及び信頼性を確実に保つことができる。

【0126】

【発明の効果】本発明によると、製造プロセス中の高温処理によって、ゲート絶縁膜を構成する高誘電率膜が結晶化することを防止できるため、完成後の半導体装置において、高誘電率膜の大部分がアモルファス状態に保たれる。このため、high-k ゲート絶縁膜にリーク電流が生

じることを抑制できるので、high-kゲート絶縁膜の熱的安定性が向上して、耐熱性の優れた半導体装置を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の断面図である。

【図2】 HfO_2 に添加するSi量と、 HfO_2 の結晶化温度及び熱的安定性保証温度との関係を示す図である。

【図3】色々なプロセス最高温度に対応して求められた、熱的安定性を保持できる Hf シリケートの組成の許容範囲を示す図である。

【図4】 HfO_2 膜に添加するSi量と、 HfO_2 膜の比誘電率との関係を示す図である。

【図5】 HfO_2 膜に添加するSi量と、 HfO_2 膜の信頼性寿命との関係を示す図である。

【図6】 HfO_2 膜に添加するSi量と、 HfO_2 膜の熱的安定性及び信頼性との関係を示す図である。

【図7】(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】(a)～(d)は本発明の第2の実施形態に係る半導体装置の製造方法におけるPDAの作用を説明するための図である。

【図10】熱処理によって HfO_2 膜から脱離していく水素を、TDS法によって測定した結果を示す図である。

【図11】本発明の第2の実施形態に係る半導体装置の製造方法における $Hf-t-butoxide$ を用いたCVD法により形成された、Hを含む HfO_2 膜に対して、熱処理後にC-V測定を行なった結果を示す図である。

【図12】比較例として水素を含まないソースを用いたCVD法により形成された、Hを含まない HfO_2 膜に対して、熱処理後にC-V測定を行なった結果を示す図である。

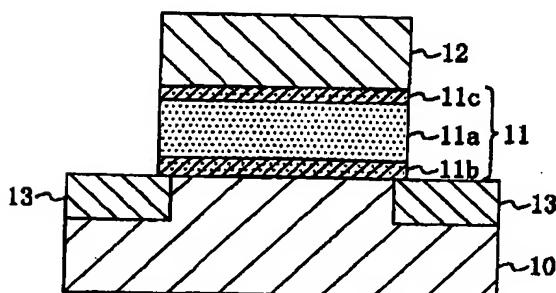
【図13】Si基板/SiN膜/ HfO_2 膜/ポリシリコン膜の積層構造を有するMOSキャバシタにおいて、Hを含む HfO_2 膜(本発明の第2の実施形態)及びHを含まない HfO_2 膜(比較例)をそれぞれ用いた場合の熱的安定性を比較した結果を示す図である。

【図14】MOSキャバシタの絶縁膜である HfO_2 膜に対して、本発明の第2の実施形態に係る半導体装置の製造方法のPDAを行なった場合における、 HfO_2 膜成膜直後の物理膜厚と、MOSキャバシタ完成後のリーク電流との関係を示す図である。

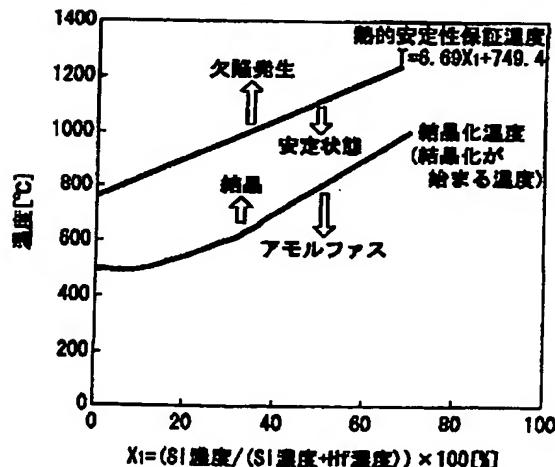
【符号の説明】

- | | |
|-----|----------------------------------|
| 10 | シリコン基板 |
| 11 | ゲート絶縁膜 |
| 11a | 高誘電率膜 |
| 11b | 下部バリア膜 |
| 20 | 11c 上部バリア膜 |
| 12 | ゲート電極 |
| 13 | 不純物拡散層 |
| 20 | シリコン基板 |
| 21A | Si ₃ N ₄ 膜 |
| 21B | SiON膜 |
| 21 | 下部バリア膜 |
| 22A | HfO_2 膜 |
| 22 | シリコン含有 HfO_2 膜 |
| 23 | 上部バリア膜 |
| 30 | 24 ポリシリコン膜 |
| 25 | ゲート絶縁膜 |
| 26 | ゲート電極 |
| 27 | 不純物拡散層 |

【図1】



【図2】



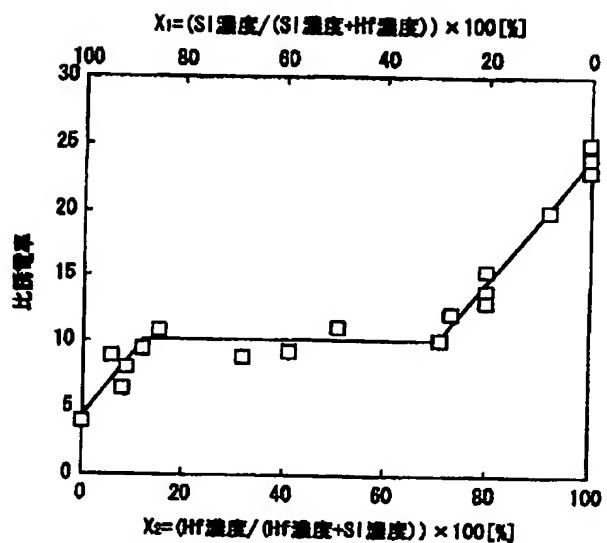
【図3】

A	B
750	≥0.1
800	≥7.6
850	≥15.0
900	≥23.0
950	≥30.0
1000	≥37.5
1050	≥45.0
1100	≥52.4

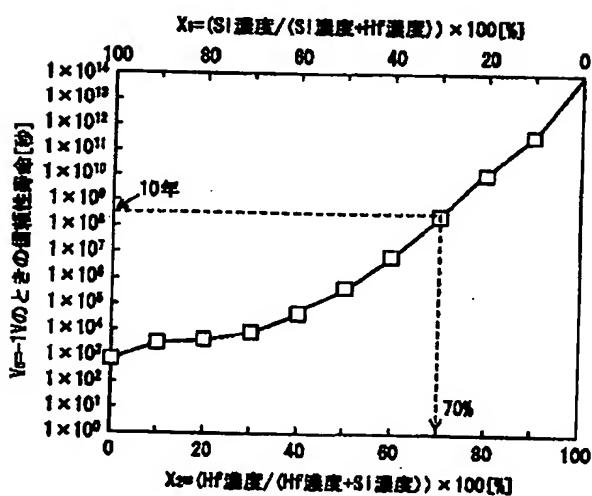
A:プロセス最高温度

B:HFシリケートの熱的安定性が保たれる
(SI温度/(SI温度+HF温度))×100[%]の実用範囲

【図4】

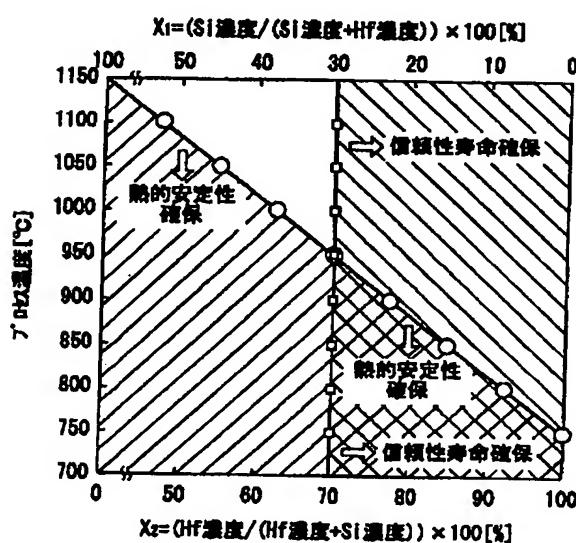


【図5】



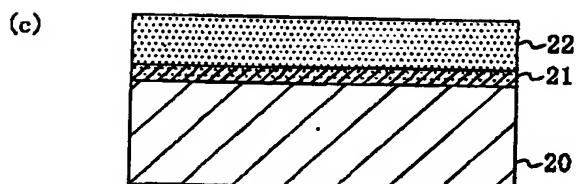
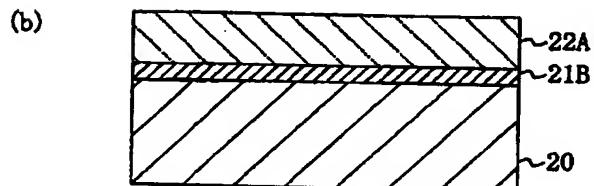
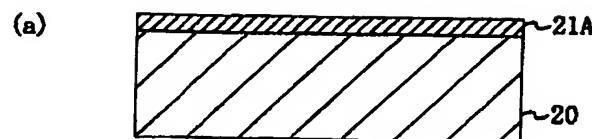
Eox (real) 7.7
 EOT=1.5nm
 不良率=100ppm
 MOS面積=0.1cm²
 週度=100°C

【図6】

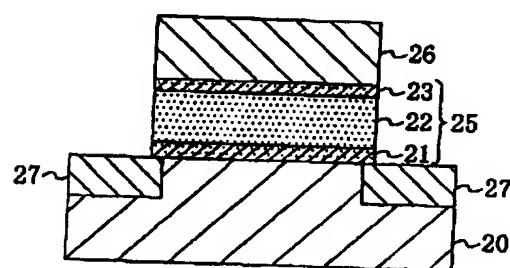
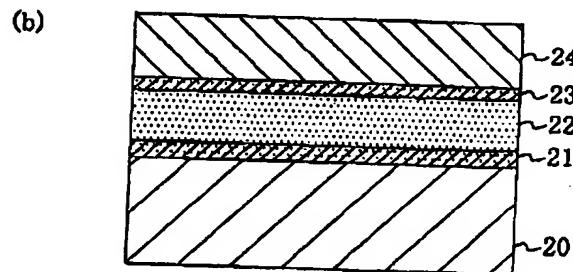
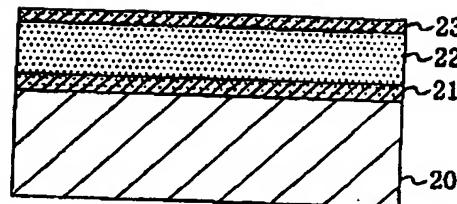


○: 热的安定性直線
 □: 信頼性寿命直線
 △: 热的安定性のみが確保される領域
 ▲: 信頼性寿命のみが確保される領域
 ×: 热的安定性及び信頼性寿命の両方が確保される領域

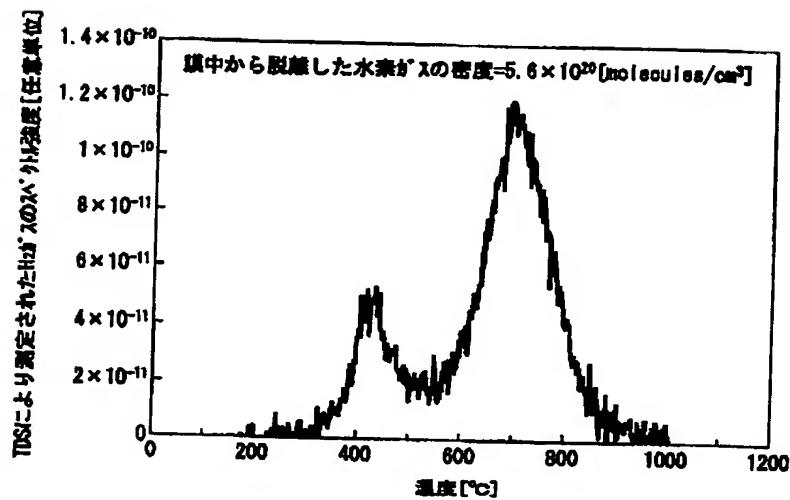
【図 7】



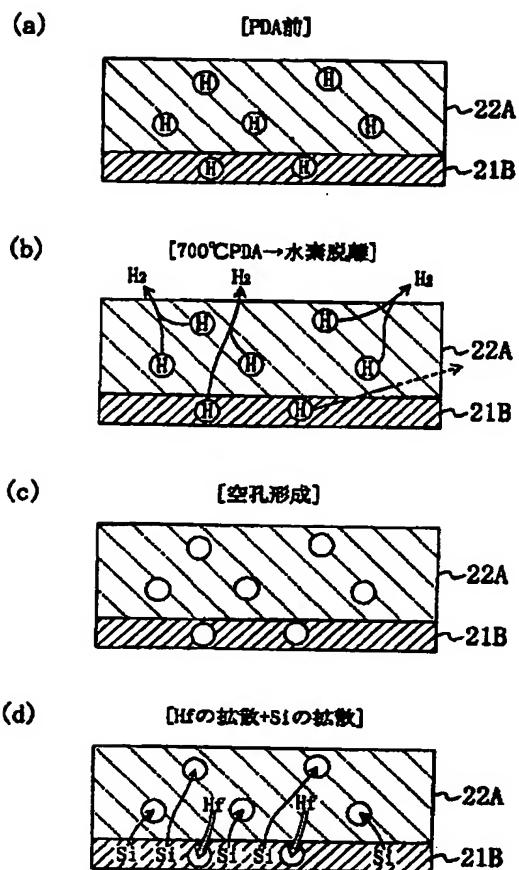
【図 8】



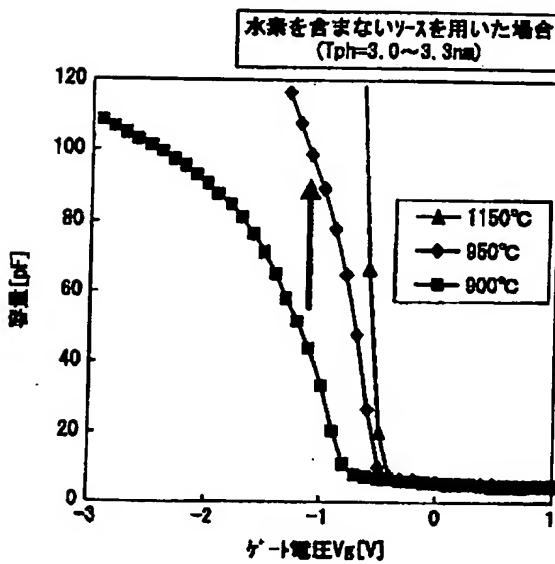
【図 10】



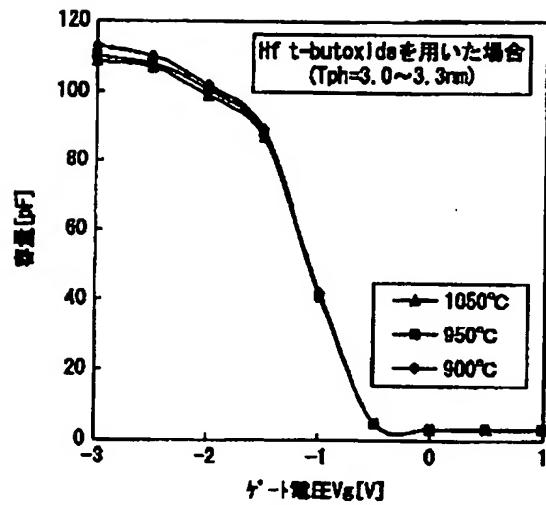
【图9】



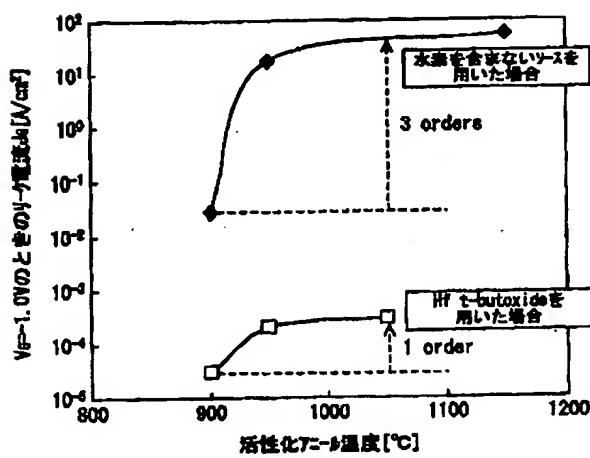
[図12]



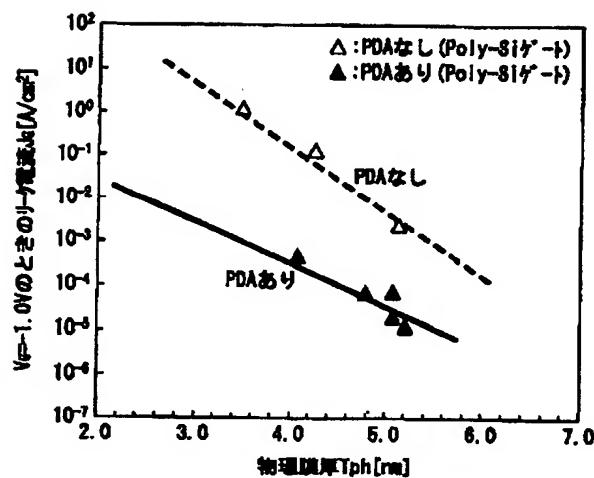
[图11]



〔图13〕



【図14】



フロントページの続き

Fターム(参考) 5F058 BA20 BC03 BF06 BF12 BF22
 BF27 BH04 BJ04
 5F140 AA19 BA01 BA20 BD02 BD09
 BD11 BD13 BD17 BE02 BE07
 BE08 BE09 BE10 BE17 BF01
 BF04 BF07 BF10 BF11 BF15
 BF38 BG28 BG38 BG44 BK13
 BK21 CB01